

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

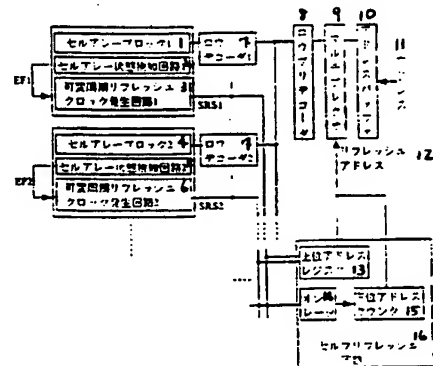
PCT

世界知的所有権機関  
国際事務局

特許協力条約に基づいて公開された国際出願



(51) 国際特許分類6 G11C 11/406	AI	(11) 国際公開番号 WO96/28825 (43) 国際公開日 1996年9月19日(19.09.96)
(21) 国際出願番号 PCT/JP95/00433 (22) 国際出願日 1995年3月15日(15.03.95)  (71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP) (72) 発明者: および (75) 発明者/出願人 (米国についてののみ) 竹内 幹(TAKEUCHI, Kan)(JP/JP) 〒187 東京都小平市上水本町5-16-3-1 Tokyo, (JP) 中込儀延(NAKAGOME, Yoshinobu)(JP/JP) 〒205 東京都羽村市川崎4-2-1 Tokyo, (JP) 梶谷一彦(KAJIYAYA, Kazuhiko)(JP/JP) 〒358 埼玉県入間市下谷ヶ貫905-6 Saitama, (JP) 川本 洋(KAWAMOTO, Hiroshi)(JP/JP) 〒187 東京都小平市小川町2-1348 Tokyo, (JP) (74) 代理人 弁理士 小川勝男(OGAWA, Katsuo) 〒100 東京都千代田区丸の内一丁目5番1号 株式会社 日立製作所内 Tokyo, (JP)		(81) 指定国 CN, JP, KR, US, 欧州特許(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).  添付公開書類 国際調査報告書
(54) Title : SEMICONDUCTOR MEMORY  (54) 発明の名称 半導体メモリ  (57) Abstract <p>A low-cost, high-density DRAM in which the current for refreshing is reduced for use in a memory device or a memory card of portable appliances. The DRAM comprises a memory cell array divided into a plurality of blocks, a circuit (e.g. an error correction circuit (ECC) or a use area memory register) for detecting the state of each block, and a control circuit for varying the refresh rate. This control circuit extends the refresh interval until the ECC detects a correctable error, so as to set a most suitable refresh interval for each block and set an infinite refresh interval, i.e., no refreshing, for an unused area. As a result, the refresh rate can be automatically minimized for each block, and thus a stand-by current can be reduced to a minimum.</p> <div style="display: flex; justify-content: space-between;"> <div style="width: 45%;"> <p>11 ... address            12 ... refresh address            13 ... high order address register            14 ... oscillator            15 ... low order address counter            16 ... cell refresh circuit</p> </div> <div style="width: 45%;"> <p>1 ... cell array block 1            2 ... cell array state sensing circuit 1            3 ... variable cycle refresh clock generation circuit 1            4 ... cell array block 2            5 ... cell array state sensing circuit 2            6 ... variable refresh clock generator 2            7 ... row decoder 1, 2            8 ... row pre-decoder            9 ... multiplier            10 ... address buffer</p> </div> </div>		



る。クロックが与えられると、すべてのメモリセルについて、順次リフレッシュ動作が行なわれる。上記クロックの周期は、メモリセルの記憶情報が、リーク電流により失われない範囲で設定される。クロックを外部から与える場合には、クロックの周期がスペックで与えられる。クロックを内部で発生する場合には、たとえばリングオシレータを用いて、一定の周期を生成する。

また、特開昭64-32489号公報には、誤り訂正回路の誤り検出によりリフレッシュ周期を制御し低電力化を図った半導体メモリが開示されている。

#### 発明の開示

しかしながら、従来のDRAMでは、電池による情報保持時間は、数週間に過ぎないという問題があった。すなわち、待機時の消費電流を低減するには、たとえばリフレッシュ間隔をできるだけ延ばす必要があるが、リフレッシュ動作の間隔は、メモリセルのうち、リーク電流の最も大きいものに合わせて決める必要がある。メモリセルのリーク電流は、チップ内で大きくばらつくので、平均的なリーク電流に対し、マージンを大きくとってリフレッシュ間隔を設定しなければならない。ここで、マージンを小さくすると、不良チップが数多く生じ、ビットコストが上昇するという別の問題が生じる。このような理由から、リフレッシュ間隔を現状以上に縮め、待機時の消費電流をさらに小さくすることは、困難であった。また、DRAMの集積度が進むと、チップ内のすべてのメモリセルを使用している場合が少なくなる。このような場合、使用していないメモリセルについてもリフレッシュ動作を行うことはむだである。このような不必要な消費電流の増加が、特にDRAMの高集積化と共

に顕著となることに注意が払われていなかった。

本発明の目的は、リフレッシュ動作に要する消費電流を、その半導体チップにとって必要最小限に抑えることができる方法を提示し、携帯電子機器の記憶装置やメモリカードに好適な半導体メモリを提供することにある。

上記目的を達成するため、本発明のDRAMでは、セルアレーを複数のブロックに分割し、各ブロックごとにセルアレーの状態を検知するための回路、およびリフレッシュの周期を可変に制御するための回路を設けた(第1図)。上記状態検知回路は、たとえば1ビットエラーを訂正(Single Error Correction;SEC)できる誤り訂正回路(Error Correction Circuit;ECC回路)であって、一方上記制御回路は、セルフリフレッシュ時のリフレッシュ周期を次第に延ばし、ECC回路が1ビットエラーを検出したら、その時点でのリフレッシュ周期またはそれより短い周期で以降のリフレッシュを行なうように、セルフリフレッシュ回路を制御する。あるいは、上記状態検知回路は、DRAMセルアレーの使用領域を記憶したレジスタであって、一方上記制御回路は、状態検知回路からの情報を基に、未使用領域のリフレッシュ周期を無限大に設定する(すなわちリフレッシュを行わない)ものである。

上記ECC回路および制御回路によれば、リフレッシュの周期をDRAMアレー各ブロックの実力に応じた必要最小限に設定できる。あるいは、上記使用領域記憶レジスタ及び制御回路によれば、1回のリフレッシュに要する消費電流を必要最小限にできる。特に、DRAMの集積度が進み、チップ内でのメモリセルの情報保持時間のばらつきが大きくなったり、チップ内に多くの未使用領域が生じるようになると、消費電力低減効果はますます大きくなる。すなわち、本発明によれば、待機時の消費

電流の小さいDRAMが実現でき、待機時に電池でバックアップする携帯電子機器用の記憶装置やメモリカードに好適なメモリが得られる。

#### 図面の簡単な説明

第1図は、本発明の半導体メモリにおけるリフレッシュ動作の制御系である。

第2図は、ECC回路を使った、リフレッシュ周期の自動最適化方式である。

第3図は、第2図と同様な構成で、ECC回路をブロック間で共有化した構成である。

第4図は、第2図及び第3図の半導体メモリにおいて、テスト時にリフレッシュ周期を決定する方法を示す図である。

第5図は、第2図のより具体的な回路構成例である。

第6図は、第5図のさらに具体的な回路構成例である。

第7図は、第6図におけるリフレッシュ周期の変化を示す動作波形である。

第8図は、第6図におけるリフレッシュ周期の固定を示す動作波形である。

第9図は、ECC回路を使った、内部電源電圧の自動最適化方式を示す図である。

第10図は、第9図の内部電源電圧発生回路の具体例である。

第11図は、使用領域記憶レジスタによる、リフレッシュ領域の制御方式を示す図である。

第12図は、第11図のより具体的な回路構成例である。

第13図は、第12図の使用領域記憶レジスタの別の例である。

第14図は、第11図の方式を実現するシステム構成例である。

第15図は、使用領域記憶レジスタによる、電圧供給領域の制御方式を示す図である。

第16図は、従来の半導体メモリにおけるリフレッシュ動作の制御系である。

発明を実施するための最良の形態

以下、実施例により本発明をより詳細に説明する。

第1図は、本発明のDRAMにおけるリフレッシュ制御方式の基本構成を示す、一実施例である。DRAMセルアレーは複数のブロックに分割され、リフレッシュ周期は各ブロックごとに最適な値に設定される。各ブロックにはDRAMセルアレーの状態を検知するための状態検知回路、および該状態検知回路の情報をもとに、リフレッシュ周期を可変に制御するリフレッシュクロック発生回路が設けられる。この制御回路が、通常のDRAMにおけるセルフリフレッシュ制御系を制御する。第1図では、通常のリフレッシュ制御系は、リフレッシュを行なうアドレスを生成するセルフリフレッシュ回路、リフレッシュアドレスと外部入力アドレスとの一方を選択してロウデコードに送るマルチプレクサからなる。各ブロックの可変周期リフレッシュクロック発生回路からのセルフリフレッシュ開始信号 $SRS_i$  ( $i=1, 2, 3, \dots$ )は、セルフリフレッシュ回路に送られ、リフレッシュを行うべきブロックに対応して上位アドレスレジスタを設定すると共に、下位アドレスをカウントアップするオシレータを制御する。上記状態検知回路は、たとえば1ビットエラーを訂正するECC回路であって、上記リフレッシュクロック発生回路は、セルフリフレッシュ時のリフレッシュ周期を次第に延ばし、ECC

回路が1ビットエラーを検知した時点での周期、またはそれより短い周期を以降のリフレッシュ周期とする。あるいは、上記状態検知回路は、DRAMセルアレーの使用領域記憶レジスタであって、上記リフレッシュクロック発生回路は、レジスタからの情報をもとに、セルアレーのうち、使用領域のみをリフレッシュし、未使用領域のリフレッシュ周期を無限大とする。すなわち、リフレッシュを行わない。本発明によれば、リフレッシュ動作に要する消費電流を、DRAMチップごとに必要最小限に抑えることができ、安価、高集積かつ待機時の消費電流の小さな半導体メモリを得ることが出来る効果がある。

第2図は、第1図におけるセルアレー状態検知回路として、ECC回路を用いた本発明の一実施例である。リフレッシュクロック発生回路は、セルフリフレッシュ時のリフレッシュ周期を次第に延ばし、ECC回路が1ビットエラーを検知した時点での周期、またはそれよりやや短い周期を以降のリフレッシュ周期とする。本発明の実施例によれば、各ブロックごとにメモリセルの情報保持時間の実力に合わせて、出来るかぎり長い周期でリフレッシュしていることになる。したがって、リフレッシュ動作に要する消費電流を必要最小限に抑えることが出来るので、待機時の消費電流が小さい半導体メモリが得られる効果がある。

第3図は、第2図におけるECC回路をブロック間で共有化した、本発明の実施例である。第3図では、半導体チップ外にECC回路を設けた場合を示しているが、チップ内に設けても良い。セルフリフレッシュ時の各ブロックからのデータはECC回路に送られ、1ビットエラーが発生していた場合には、エラー発生を示す信号がメモリチップに返される。ロウデコードの情報をもとに、どのブロックでエラーが発生したのかを識別し、そのブロックのリフレッシュ周期をその値に固定するか、

あるいは該値よりも短い周期に設定する。本発明の実施例によれば、第2図の実施例で述べた効果に加えて、ECC回路のチップ内に占める面積を小さく、あるいはなくすることができるので、高集積なメモリチップが得られる効果がある。

第4図は、第2図又は第3図の構成において、テスト時にリフレッシュ周期を決定する方法を示す、本発明の一実施例である。図において、CBRはキャス・ビフォー・ラス(CAS Before RAS)の信号を示している。CBRのパルス幅Tは、セルフリフレッシュ周期の数セット分である。本実施例では、テスト時には、通常使用時よりも電源電圧を小さくした状態で、メモリセルすべてについて、ECC回路がエラーを検出するまでセルフリフレッシュ動作を繰り返す。この結果、第2図で説明した手順によって、リフレッシュ周期が決定される。この時の周期は、テスト時の電源電圧に対して、必要最小限の周期となる。いいかえれば、通常使用時の電源電圧に対しては、ある程度マージンを取った値となる。本発明の実施例では、DRAMチップを使用し続けて情報保持時間が劣化しても、情報が破壊されることがなく、かつチップの実力に合わせて十分長いリフレッシュ周期に設定される。あるいは、通常使用時に電源電圧が低下しても、エラーを引き起こすことがない範囲で、十分長いリフレッシュ周期に設定される。なお、設定したリフレッシュ周期を記憶するレジスタは、不揮発メモリで構成し、テスト時に設定したリフレッシュ周期が電源をオフしても消失しないようにする。本発明の実施例によれば、通常使用時のチップの劣化や、電源電圧の低下などの事態まで考慮した、より信頼性の高い、かつ待機時の消費電流の小さい半導体メモリが得られる効果がある。

第5図は、第2図における可変周期リフレッシュクロック発生回路の



構成を示す、本発明の一実施例である。ここでは、ひとつのブロック（ブロック1）のみを抜き出した。可変周期リフレッシュクロック発生回路1は、1ビットエラー発生判定レジスタ、リフレッシュ周期決定シフトレジスタ、リフレッシュ周期発生回路を、その主なる構成要素とする。第2図のDRAMチップにおけるリフレッシュ周期は、以下のように制御される。まず、リフレッシュ周期発生回路から、セルフリフレッシュ開始信号SR Sがセルフリフレッシュ回路に送られる。これを受けて、セルフリフレッシュ回路は内部カウンタによりリフレッシュアドレスを順次発生し、DRAMセルアレーブロック1のリフレッシュ動作を行なう。この時、ECC回路は記憶情報が正しく保持されているか否かを示す、1ビットエラー発生フラグEFを出力する。もし、情報書き込み判定フラグが0から1に変わっており、DRAMセルアレーへ少なくとも1回の書き込み動作が行なわれていた場合には、上記1ビットエラー発生フラグEFは、可変周期リフレッシュクロック発生回路に送られる。ここで、EFが記憶情報に誤りのないことを示す0状態にあれば、1ビットエラー発生判定レジスタは0状態のままである。一方、セルフリフレッシュ開始信号のパルスは、遅延回路にてDRAMセルアレーブロック1全体のリフレッシュ動作に要する時間 $t_d$ 程度以上遅延して、リフレッシュ周期決定シフトレジスタのカウンタアップパルスとなる。ただし、1ビットエラー発生判定レジスタが0状態にあり、上記一連のリフレッシュ動作中に、ECC回路によりエラーが検出されなかった場合にかぎり、リフレッシュ周期決定シフトレジスタはカウンタアップされる。シフトレジスタのカウンタアップを受け、リフレッシュ周期発生回路は、より長い間隔をおいて次のセルフリフレッシュ開始信号SR Sを出力する。以上述べた、セルフリフレッシュ開始信号発生から次の開始

あるいは該値よりも短い周期に設定する。本発明の実施例によれば、第2図の実施例で述べた効果に加えて、ECC回路のチップ内に占める面積を小さく、あるいはなくすることができるので、高集積なメモリチップが得られる効果がある。

第4図は、第2図又は第3図の構成において、テスト時にリフレッシュ周期を決定する方法を示す、本発明の一実施例である。図において、CBRはキャス・ビフォー・ラス(CAS Before RAS)の信号を示している。CBRのパルス幅Tは、セルフリフレッシュ周期の数セット分である。本実施例では、テスト時には、通常使用時よりも電源電圧を小さくした状態で、メモリセルすべてについて、ECC回路がエラーを検出するまでセルフリフレッシュ動作を繰り返す。この結果、第2図で説明した手順によって、リフレッシュ周期が決定される。この時の周期は、テスト時の電源電圧に対して、必要最小限の周期となる。いいかえれば、通常使用時の電源電圧に対しては、ある程度マージンを取った値となる。本発明の実施例では、DRAMチップを使用し続けて情報保持時間が劣化しても、情報が破壊されることがなく、かつチップの実力に合わせて十分長いリフレッシュ周期に設定される。あるいは、通常使用時に電源電圧が低下しても、エラーを引き起こすことがない範囲で、十分長いリフレッシュ周期に設定される。なお、設定したリフレッシュ周期を記憶するレジスタは、不揮発メモリで構成し、テスト時に設定したリフレッシュ周期が電源をオフしても消失しないようにする。本発明の実施例によれば、通常使用時のチップの劣化や、電源電圧の低下などの事態まで考慮した、より信頼性の高い、かつ待機時の消費電流の小さい半導体メモリが得られる効果がある。

第5図は、第2図における可変周期リフレッシュクロック発生回路の

構成を示す、本発明の一実施例である。ここでは、ひとつのブロック（ブロック1）のみを抜き出した。可変周期リフレッシュクロック発生回路1は、1ビットエラー発生判定レジスタ、リフレッシュ周期決定シフトレジスタ、リフレッシュ周期発生回路を、その主なる構成要素とする。第2図のDRAMチップにおけるリフレッシュ周期は、以下のように制御される。まず、リフレッシュ周期発生回路から、セルフリフレッシュ開始信号SR Sがセルフリフレッシュ回路に送られる。これを受けて、セルフリフレッシュ回路は内部カウンタによりリフレッシュアドレスを順次発生し、DRAMセルアレーブロック1のリフレッシュ動作を行なう。この時、ECC回路は記憶情報が正しく保持されているか否かを示す、1ビットエラー発生フラグEFを出力する。もし、情報書き込み判定フラグが0から1に変わっており、DRAMセルアレーへ少なくとも1回の書き込み動作が行なわれていた場合には、上記1ビットエラー発生フラグEFは、可変周期リフレッシュクロック発生回路に送られる。ここで、EFが記憶情報に誤りのないことを示す0状態にあれば、1ビットエラー発生判定レジスタは0状態のままである。一方、セルフリフレッシュ開始信号のパルスは、遅延回路にてDRAMセルアレーブロック1全体のリフレッシュ動作に要する時間 $t_d$ 程度以上遅延して、リフレッシュ周期決定シフトレジスタのカウントアップパルスとなる。ただし、1ビットエラー発生判定レジスタが0状態にあり、上記一連のリフレッシュ動作中に、ECC回路によりエラーが検出されなかった場合にかぎり、リフレッシュ周期決定シフトレジスタはカウントアップされる。シフトレジスタのカウントアップを受け、リフレッシュ周期発生回路は、より長い間隔をおいて次のセルフリフレッシュ開始信号SR Sを出力する。以上述べた、セルフリフレッシュ開始信号発生から次の開始

信号発生までの手順は、リフレッシュ動作中にエラーが検出されるまで繰り返される。そして、リフレッシュ周期は次第に長くなっていく。リフレッシュの周期がブロック1内のメモリセルの情報保持時間の最低値を越えて長くなると、ECC回路はエラーを検出し、1ビットエラー発生フラグは0から1へ変化する。この結果、1ビットエラー発生判定レジスタは、0から1へ変換し、この後、1ビットエラー発生フラグが如何なる状態になろうとも、電源をオフするまで1状態が保たれる。そして、リフレッシュ周期決定シフトレジスタのカウントアップは停止する。なお、リフレッシュ周期を徐々に長くするかぎり、最初にECC回路がエラーを検出した際に、複数ビットが同時にエラーする可能性はほとんどない。なぜなら、メモリセルの情報保持時間は、セルごとに大きなばらつきを持っているからである。したがって、1ビットエラーを修正できるSECのECC回路によりエラーデータを修正、書き込みすれば、上記リフレッシュ周期によって情報が消失することはない。ただし、上記リフレッシュ周期で以降のセルフリフレッシュ動作を行なうと、リフレッシュの度にECC回路でデータの修正を行なう必要がでてくる。したがって、1ビットエラー発生判定レジスタが1に変化したことを検知して、リフレッシュ周期決定シフトレジスタを1つカウントダウンするようにしてもよい。エラーが発生したときより1つ手前の周期でリフレッシュ動作を行えば、メモリセルの情報保持時間の実力に合わせて、出来るかぎり長い周期でリフレッシュしていることになる。以上本発明の実施例によれば、リフレッシュ動作に要する消費電流を必要最小限に抑えることが出来るので、待機時の消費電流が小さい半導体メモリが得られる効果がある。

第6図は、第5図の変周期リフレッシュクロック発生回路のより具

体的な回路構成例を示した、本発明の一実施例である。第5図における可変周期リフレッシュクロック発生回路を構成する、1ビットエラー発生判定レジスタ、リフレッシュ周期を複数個発生するリフレッシュ周期発生回路、さらにこの複数の周期からひとつを選択するリフレッシュ周期決定シフトレジスタが設けられる。

1ビットエラー発生判定レジスタは、非対称なフリップフロップ回路で構成される。すなわち、フリップフロップ回路の一方のノードE Jは、高抵抗を介してV s s (0 V)につながる。DRAMセルアレーブロック1への書き込み動作が行なわれた後に1ビットエラー発生フラグE Fがハイレベルになると、E JはV c cに短絡される。この構成により、電源オン時には、E Jは高抵抗を介してV s sに引かれるので、フリップフロップの2つのノード間にアンバランスが生じ、E Jはロウレベルにラッチされる。そして、DRAMセルアレーへ書き込みが行なわれた後のリフレッシュ動作時にE C C回路がエラーを検知すると、E Fがハイレベルとなり、E Jはハイレベルに変化する。ここで、フリップフロップ回路を構成するpチャネルトランジスタのオン抵抗をV s sにつながる抵抗の抵抗値より数桁小さく設計することにより、以降E Fがロウレベルに戻ってもE Jはハイレベルにラッチされる。このようにして、電源オン後は、ロウレベルを保持し、E C C回路が少なくとも1回のエラーを検知した後は、電源をオフするまでハイレベルを保持する、1ビットエラー発生判定レジスタを構成することが出来る。例えば、第4図の実施例のように、テスト終了時の状態を電源オフ後も保持する必要がある場合には、1ビットエラー発生判定レジスタの状態を不揮発メモリに格納しておけばよい。なお、DRAMセルアレーブロック1へ少なくとも一回の書き込み動作が行なわれたか否かを検知する情報書き込み

、すなわち  $A1(2t)$  の周期に一致するようになる。こうして周期が変化した  $RT$  の次の立上りに呼応して、次の  $SRS$  パルスが発生する。これに伴うリフレッシュ動作でエラーが確認されない場合には、シフトレジスタがさらにカウントアップされ、 $F2$  がハイレベルに変化する。この結果、 $A2$  が  $T2$  に同期するようになり、 $RT$  の立上りは、 $A0$ 、 $A1$ 、 $A2$  が同時に立ち上がる位置となる。すなわち、 $RT$  の立上りを基準に発生するリフレッシュ開始信号  $SRS$  の周期は、 $A2$  の周期 ( $4t$ ) に一致する。こうして、セルフリフレッシュ動作中にエラーが検知されない場合は、周期が2倍に延ばされていく。

第8図は、セルフリフレッシュ動作中にエラーが検出された場合に、その時点でリフレッシュ周期が固定されることを示す、動作波形である。たとえば、第7図と同様に  $F0$  および  $F1$  が順次ハイレベルとなり、 $2t$  のリフレッシュ周期においてエラーが発生する場合を示している。 $EF$  がハイレベルに変化することにより、 $EJ$  もハイレベルへと変化し、その後ハイレベルにクランプされる。 $EJ$  がハイレベルになっていることから、 $SRS$  の立上りから  $\Delta T$  後の  $CT$  パルスの立上りは発生しない。したがって、 $F2$  はロウレベルのままであり、リフレッシュ周期は  $2t$  に固定される。一方、 $ECC$  回路はエラーを修正し、 $DRAM$  セルアレーに再書き込みする。 $ECC$  回路は、たとえば1ビットのエラーを検知、修正できるもので十分である。なぜなら、 $DRAM$  セルの情報保持時間にはバラツキがあり、本発明の様にリフレッシュ周期を徐々に延ばしていけば、 $ECC$  回路が最初にエラーを検知したときには、1ビットのみのエラーであるようにすることができる。したがって、 $ECC$  回路がエラーを検知するまでリフレッシュ周期を延ばしていても、エラーを起こしたデータを検知、修正することができ、情報の消失はない。

なお、第6図及び第8図で説明した構成では、リフレッシュ周期固定後には、セルフリフレッシュ動作の度に1ビットエラーが発生し、これを検知、修正する必要がある。この場合でも、情報が消失することはないが、より信頼性を高めるには、セルフリフレッシュ動作時にエラーが発生した時点で、その時点でのリフレッシュ周期よりも1つ前の周期に戻すようにすればよい。以上第6図から第8図で説明した本発明の実施例によれば、メモリセルの情報保持特性の実力に応じてリフレッシュ周期が自動的に設定されるので、待機時の消費電流の小さい半導体メモリが実現できる。

以上、第2図から第8図の実施例では、DRAMセルアレーブロックごとに修正可能なエラーが発生するまでリフレッシュ周期を延ばすことにより、待機時の消費電流を低減できる方式について説明した。

第9図は、修正可能なエラーが発生するまで内部電圧を下げて動作させることにより、待機時及び動作時の消費電流を低減する、本発明の一実施例である。第9図では、複数ブロックのうち、ブロック1のみ抜き出してその構成を示す。リフレッシュクロック（セルフリフレッシュ開始信号）SRSがセルフリフレッシュ回路に与えられると、セルフリフレッシュ回路は、リフレッシュアドレスを内部カウンタにより順次発生し、DRAMセルアレーブロック1内のリフレッシュ動作が行なわれる。DRAMセルアレーブロック1への書き込み動作が少なくとも1回行なわれた後のセルフリフレッシュ動作に際して、記憶情報のエラーがECC回路により検出された場合には、1ビットエラー発生フラグEFは、ハイレベルとなり、それ以外の場合はロウレベルとなる。この結果、1ビットエラー判定レジスタのノードEJは、電源オンから1ビットエラーが発生するまではロウレベルであり、1ビットエラーが発生してか

ら電源がオフされるまでは、ハイレベルに保持される。一方、リフレッシュクロックはDRAMセルアレーブロック1のリフレッシュ動作が終了するに要する時間 $\Delta T$ の遅延の後、内部電圧決定シフトレジスタのクロック信号CTとなる。ただし、CTパルスが発生するのは、1ビットエラー発生判定シフトレジスタのEJがロウレベルにあり、1ビットエラーが1度も発生していない場合である。内部電圧決定シフトレジスタの内部状態は、電源オン時にはF0のみがハイレベルにあるが、CTパルスが入力される度に、F1、F2...と順次ハイレベルに変化していく。F0、F1、F2...の隣接するノード間の排他的オア論理を内部電源電圧発生回路への出力とすることにより、該出力のいずれかひとつがハイレベルにあることに対応して、内部電源電圧VLが生成される。ここでは、内部電圧決定シフトレジスタのノードF0、F1、F2...のハイレベルの範囲が広がるにつれ、VLが低下していく。1ビットエラー発生判定レジスタのEJがハイレベルに変化すると、リフレッシュクロックによるVLの低下は止まり、以降はその時点での内部電源電圧に固定される。

第10図は、第9図における内部電源電圧発生回路の具体的回路例を示すものである。(a)は電源電圧によらず一定の参照電圧VR1を発生する参照電圧発生回路EBであり、(b)はVR1を基準にした可変電圧VR2を発生する電圧変換回路TBである。図(a)に示すEBにおいては、MOSトランジスタME1のしきい電圧Vth1とMOSトランジスタME2のしきい電圧Vth2とは異なる値に設計される。この時、 $VR1 = |Vth1| - |Vth2|$ となる。すなわち、カレントミラー回路により、ME1およびME2に流れる電流の和I0は、ME2に流れる電流I2の2倍である。したがって、ME1に流れる電流



I1はI0に等しい。このことから、ME1に注目すると、ソース電圧VMは $|V_{th1}| + \Delta V$ であり、ME2に注目すると、VMは $|V_{th2}| + \Delta V + V_{R1}$ である。以上から、 $V_{R1} = |V_{th1}| - |V_{th2}|$ となることがわかる。

第10図(b)は、VR1を基準にして可変のVR2を発生する回路である。内部電圧シフトレジスタからの複数入力、いずれかがハイレベルとなり、差動アンプの入力の一端が直列接続された抵抗の接続部のいずれかに接続される。入力のもう一端は参照電位VR1に接続される。差動アンプおよび出力に接続されたpチャネルMOSトランジスタの働きにより、直列抵抗に接続された上記差動アンプの入力及びVR2は、一定電位に安定化される。該入力が、Vss側に接続されるほど、VR2は高くなり、Vcc側に接続されるほど、VR2は低くなる。第10図(b)の回路を第9図に適用するに際し、内部電圧決定シフトレジスタにCTパルスが入力すること、上記入力が直列抵抗のVccに近い側に接続されていくようにする。

以上、第9図及び第10図で説明した本発明の実施例によれば、DRAMセルアレーブロックごとのメモリセルの情報保持特性の実力に合わせて、必要最低限の内部電圧に設定できるので、携帯機器の記憶装置やメモリカードなどに好適な、低消費電流の半導体メモリが得られる効果がある。

第11図は、複数に分割されたDRAMセルアレーブロックにおいて、使用領域のブロックのみについてセルフリフレッシュ動作を行い、未使用領域のブロックのリフレッシュ周期を無限大に設定する(リフレッシュ動作を行わない)、本発明の一実施例である。これを実現するため

に使用領域を記憶するためのレジスタが設けられ、このレジスタの情報をもとに、セルフリフレッシュ動作を行うブロックを指定する、セルフリフレッシュ回路の上位アドレスレジスタが制御される。本発明の実施例によれば、情報を保持することが必要な領域にかぎりリフレッシュ動作が行なわれるので、待機時の消費電流を必要最小限に抑えることができる効果がある。

第12図は、第11図の構成の、より具体的な構成例を示す、本発明の一実施例である。リフレッシュ回路が信号CBR又はセルフリフレッシュ信号Selfによりリフレッシュアドレスを出力することにより、通常は全メモリセルアレーブロックのリフレッシュが行われる。しかし、この実施例では、複数に分割されたDRAMセルアレーブロックにおいて、書き込みの行なわれたブロックを検知して、そのブロックのみのリフレッシュ動作を行なう。すなわち、書き込み動作を指定する信号WEおよびロウアドレスにより使用領域記憶レジスタを制御する。第12図では、ブロックが4つに分割され、各ブロックはアドレスの一部、たとえばA0、A1で選択される。各ブロックに対し、書き込み動作が行なわれたか否かを判定し、その情報を記憶するための、使用領域記憶レジスタが設けられる。使用領域記憶レジスタは、各ブロックに対応した4つのフリップフロップ回路からなる。電源オン時には、フリップフロップ回路のVssへの高抵抗が接続されている側のノードは、該高抵抗の働きにより、すべてロウレベルとなる。この状態では、アドレスデータはDRAMアレーブロックに到達しないので、リフレッシュ動作を含め、いかなる動作も行なわれない。ライトイネーブル信号WEがハイレベルとなった状態でDRAMアレーブロックがアクセスされると、上記ブロックに対応する使用領域記憶レジスタのフリップフロップ回路が反

転する。この結果、アドレスが上記ブロックに到達することが可能となり、上記ブロックへの情報書き込み、読み出し動作はもちろん、リフレッシュ動作も行なわれるようになる。上記ブロックは、DRAMのサブアレーを単位としてもよいし、1本のワード線を単位としてもよい。以上、本発明の実施例によれば、書き込み動作が行なわれ、したがって情報を保持することが必要な領域にかぎりリフレッシュ動作が行なわれるので、待機時の消費電流を必要最小限に抑えることができる効果がある。

第13図は、第12図における使用領域記憶レジスタをリセット信号によりリセットできる構成とした、本発明の一実施例である。第12図では、電源をオンした時点で、使用領域記憶レジスタは自動的にリセットされる。これに対し、第13図ではリセット信号線Resetをハイレベルにすることにより、リセットすることができる。(a)では全てのレジスタを一度にクリアする構成、(b)では各ブロックに対応したレジスタごとにクリアする構成を示している。本発明の実施例によれば、たとえばパソコン上で、ある作業を終えた後、別の作業を開始する場合など、メモリの使用領域が全く変わる場合に、リフレッシュ領域を改めて指定できる。すなわち、リフレッシュ領域をより柔軟に指定でき、待機時の消費電流を小さくできる効果がある。さらに、(b)の構成においては、プロセッサからの制御により、リフレッシュ領域をより細かく指定でき、待機時の消費電流を、大幅に小さくできる効果がある。

第14図は、第13図(b)における使用領域記憶レジスタを制御するためのシステム構成を示す、本発明の一実施例である。メモリチップ内のDRAMアレーには、通常使用領域の他に、使用領域を記憶しておくための領域が確保される。プロセッサ側からは使用領域に関するデー

タが、新規使用時、あるいは使用終了時に送られ、この情報は上記使用領域記憶領域に格納される。上記メモリチップにおけるセルフリフレッシュ動作は、第14図に示す1から4までの手順で行われる。すなわち、まず、上記使用領域記憶領域のメモリセルがリフレッシュされる。このメモリセルの情報は、ブロックリセット信号発生回路に読み出され、該回路は未使用領域に対応して、第13図(b)のリセット信号  $Reset_i$  ( $i=1, 2, 3, 4$ ) を発生する。引き続き通常使用領域のリフレッシュ動作を行うと、たとえば第12図に示した制御により、使用しているブロックのみリフレッシュ動作が行われる。本発明の実施例によれば、ソフトウェア上の変更だけでリフレッシュ動作の領域を可変に制御できるシステムが得られる。

第15図は、複数に分割されたDRAMセルアレーブロックにおいて、書き込みの行なわれたブロックを検知して、未使用のブロックの電源をオフしておく、本発明の一実施例である。第12図と同様な動作により、電源をオンしてから、書き込み動作が行われるまで、DRAMアレーブロックへは電源電圧  $V_{cc}$  が到達しない。ブロックたとえば1への書き込み動作が開始すると(WEがハイレベルでアドレスがブロック1を指定すると)、使用領域記憶レジスタのブロック1に対応するフリップフロップが反転し、ブロック1に  $V_{cc}$  が供給されるようになる。ただし、ブロック1への  $V_{cc}$  供給が開始してから電圧が安定化するまで時間を要するので、AAS1パルスが発生させ、ブロック1が立上り状態にあることを知らせる。この間、たとえばブロック1への書き込み動作は一時待機される。本発明の実施例によれば、使用しているブロックのみが活性化されるので、動作時及び待機時の消費電流を低減することが出来る。

以上、述べたように、本発明によれば、DRAMにおいてリフレッシュ動作に要する消費電流を、必要最小限に抑えることが出来るので、携帯機器の記憶装置やメモリカードに好適な半導体メモリが得られる。

## 請 求 の 範 囲

1. ダイナミック・ランダム・アクセス・メモリを具備する半導体メモリにおいて、各ブロックが複数のメモリセルを有する複数のブロックと、上記複数のブロックの各ブロックのリフレッシュ周期を各ブロックごとに設定する制御回路とを有することを特徴とする半導体メモリ。
2. 請求の範囲第1項に記載の半導体メモリにおいて、上記複数のブロックの上記複数のメモリセルの記憶情報の誤りを修正する誤り訂正回路と、該誤り訂正回路が上記記憶情報に誤りがあったことを示す信号線とをさらに有し、上記制御回路は、上記信号線からの信号に応答して上記複数のブロックの各ブロックのリフレッシュ周期を設定することを特徴とする半導体メモリ。
3. 請求の範囲第2項に記載の半導体メモリにおいて、規格電源電圧よりも小さい電圧を上記半導体メモリの電源端子に接続し、上記複数のブロックの各ブロックのリフレッシュ周期を設定することを特徴とする半導体メモリ。
4. 請求の範囲第1項に記載の半導体メモリにおいて、上記複数のブロックのうち記憶情報を保持する必要があるブロックを記憶するレジスタをさらに有し、上記制御回路は、該レジスタの情報に応答して上記記憶情報を保持する必要があるブロックのリフレッシュを実行させることを特徴とする半導体メモリ。
5. 請求の範囲第4項に記載の半導体メモリにおいて、上記制御回路は、上記複数のブロックのうち記憶情報を保持する必要のないブロックのリフレッシュ周期を無限大に設定することを特徴とする半導体メモリ。
6. 請求の範囲第4項に記載の半導体メモリにおいて、上記レジスタは上記複数のブロックのうち記憶情報の 書き込みがなされたブロックを記

憶することを特徴とする半導体メモリ。

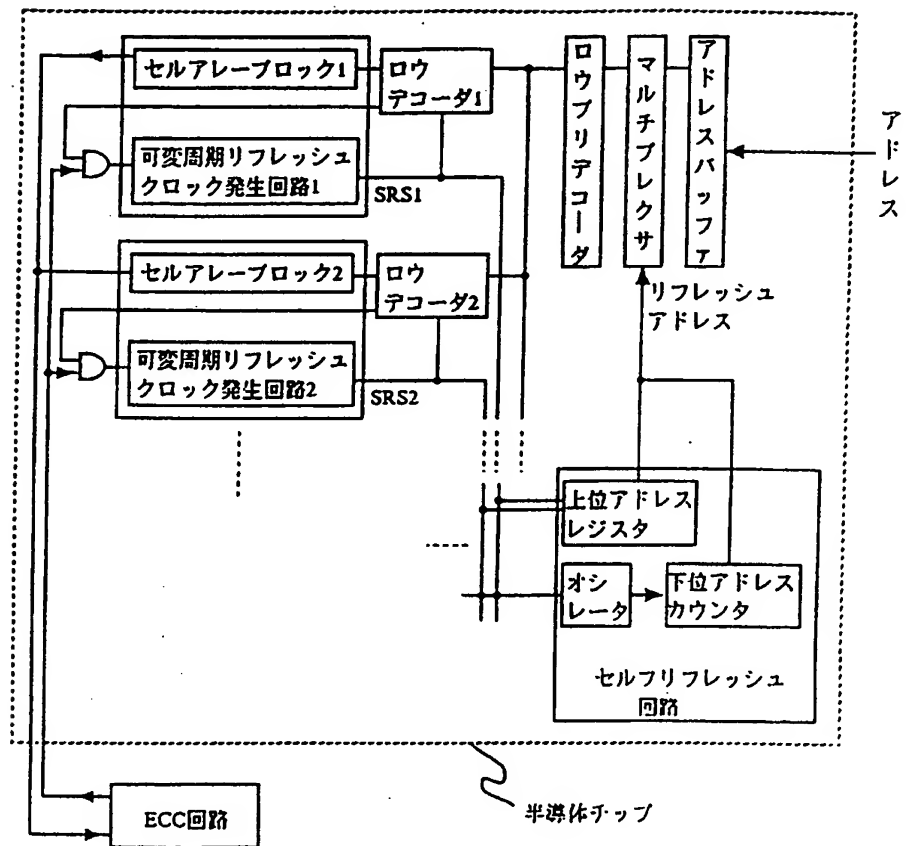
7. 請求の範囲第4項に記載の半導体メモリにおいて、上記レジスタは、上記複数のブロックの他に設けられた複数のメモリセルからなることを特徴とする半導体メモリ。

8. ダイナミック・ランダム・アクセス・メモリを具備する半導体メモリにおいて、各ブロックが複数のメモリセルを有する複数のブロックと、上記複数のブロックの上記複数のメモリセルの記憶情報の誤りを修正する誤り訂正回路と、該誤り訂正回路が上記記憶情報に誤りがあったことを示す信号線と、上記信号線からの信号に応答して上記複数のブロックの各ブロックのリフレッシュ周期を設定する制御回路とを有することを特徴とする半導体メモリ。

9. ダイナミック・ランダム・アクセス・メモリを具備する半導体メモリにおいて、各ブロックが複数のメモリセルを有する複数のブロックと、上記複数のブロックのうち記憶情報の書き込みがなされたブロックを記憶するレジスタと、該レジスタの情報に応答して、上記複数のブロックのうち電源電圧を供給するブロックを指定する制御回路とを有することを特徴とする半導体メモリ。

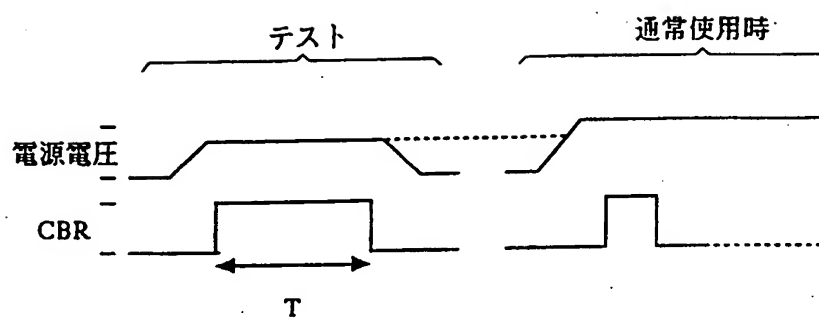
3/16

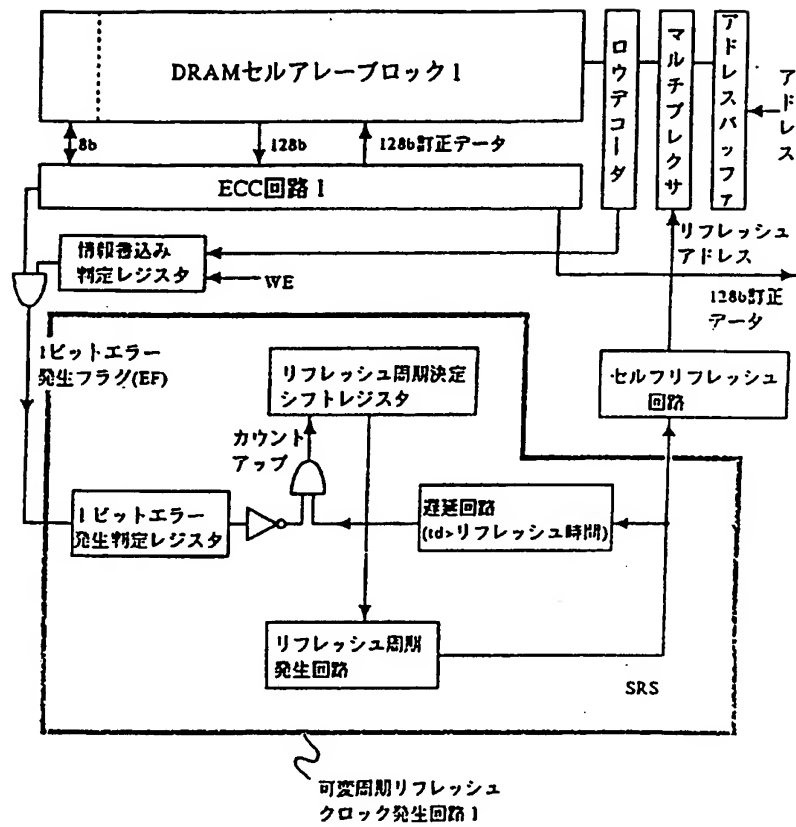
第3図





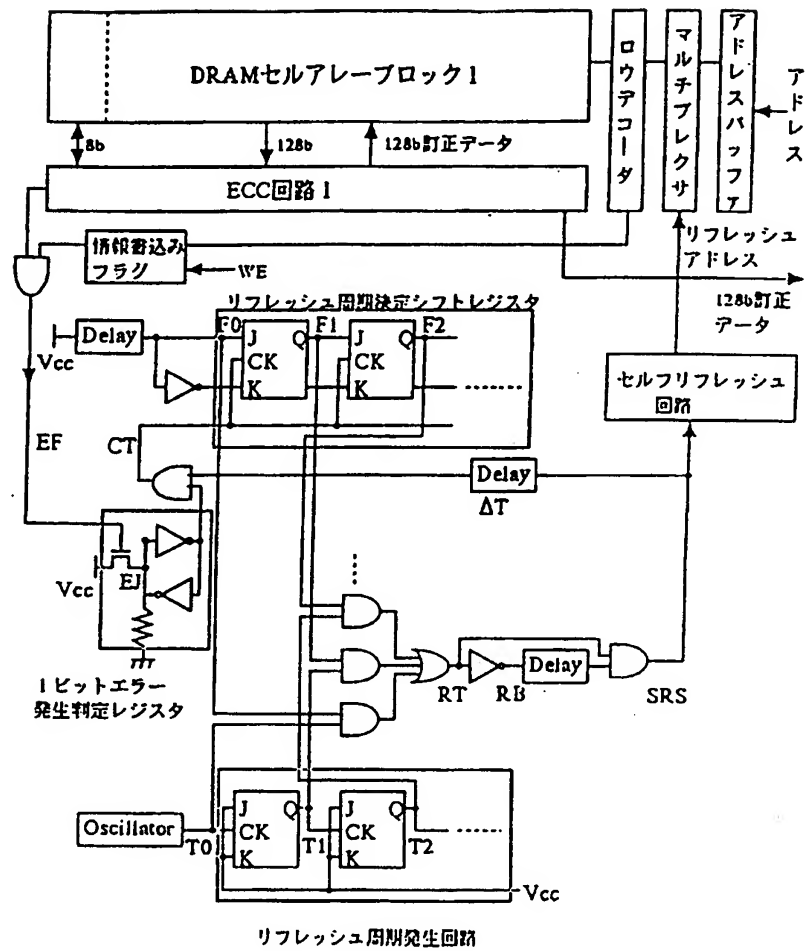
第4図





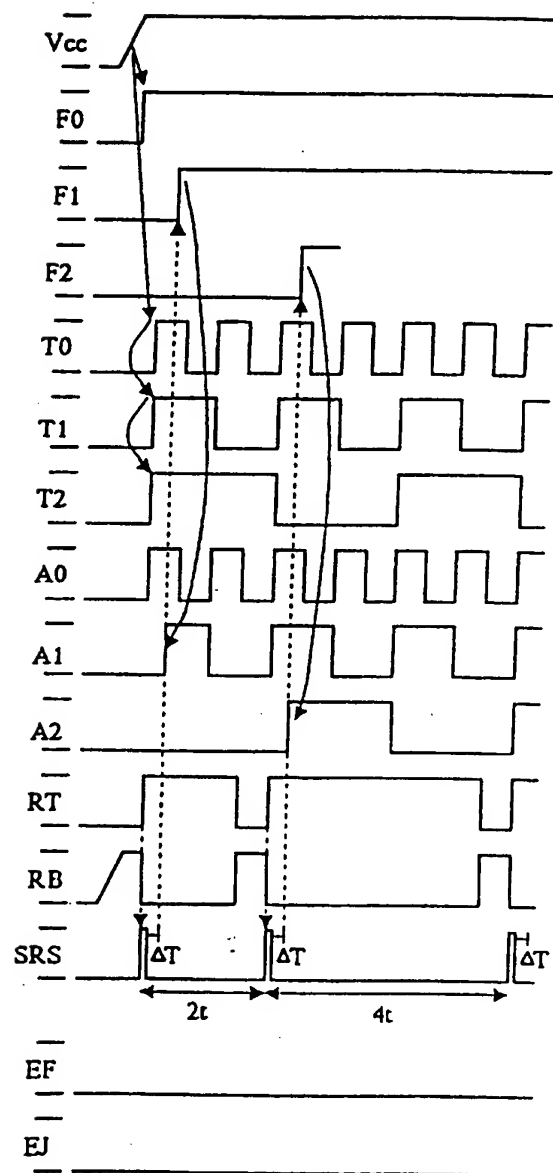
6/16

第6図



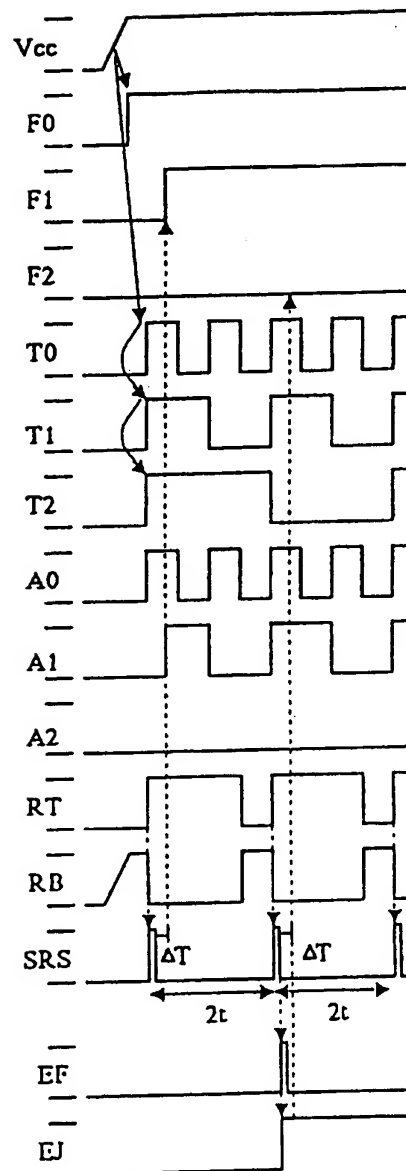
7/16

第7図



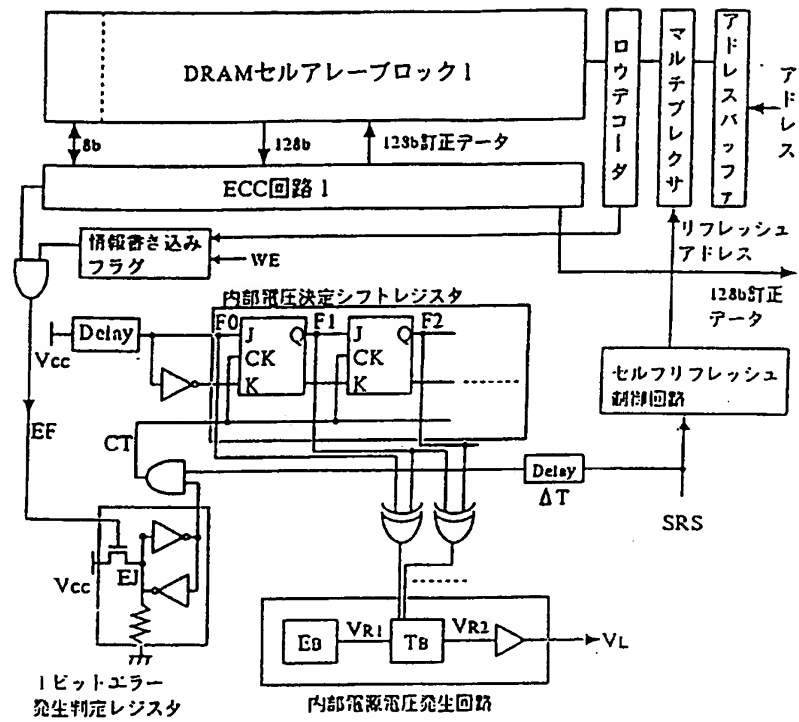
8/16

第8図



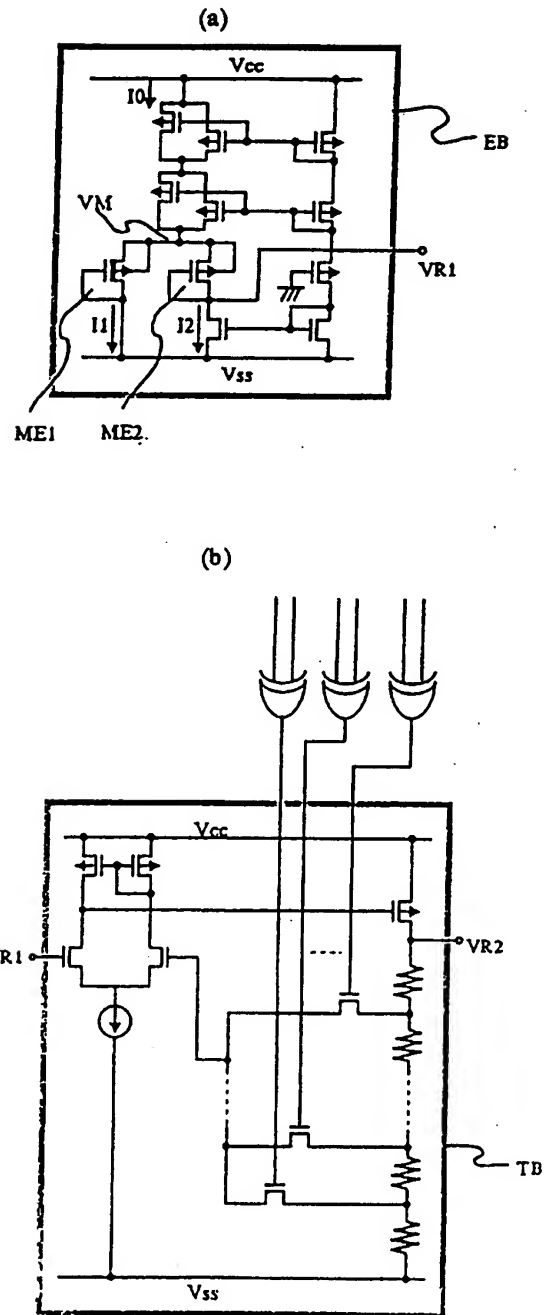
9/16

第9図



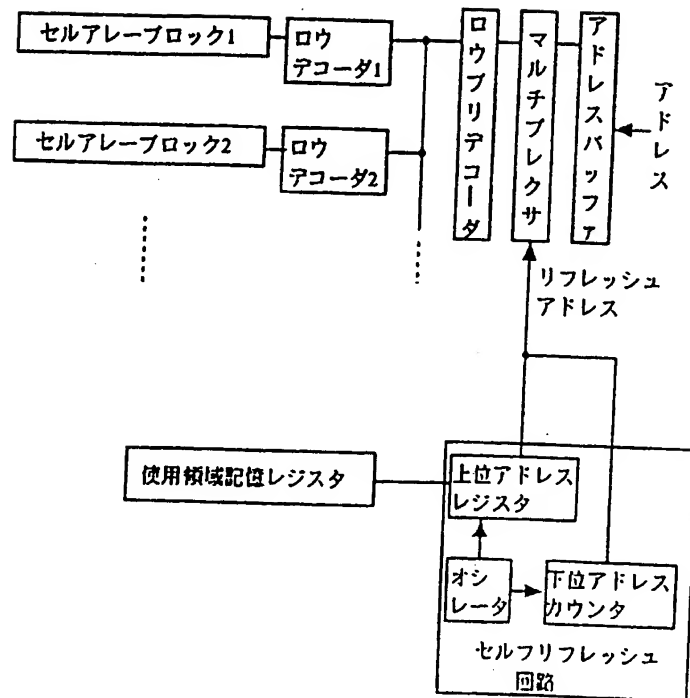
10/16

第10図



11/16

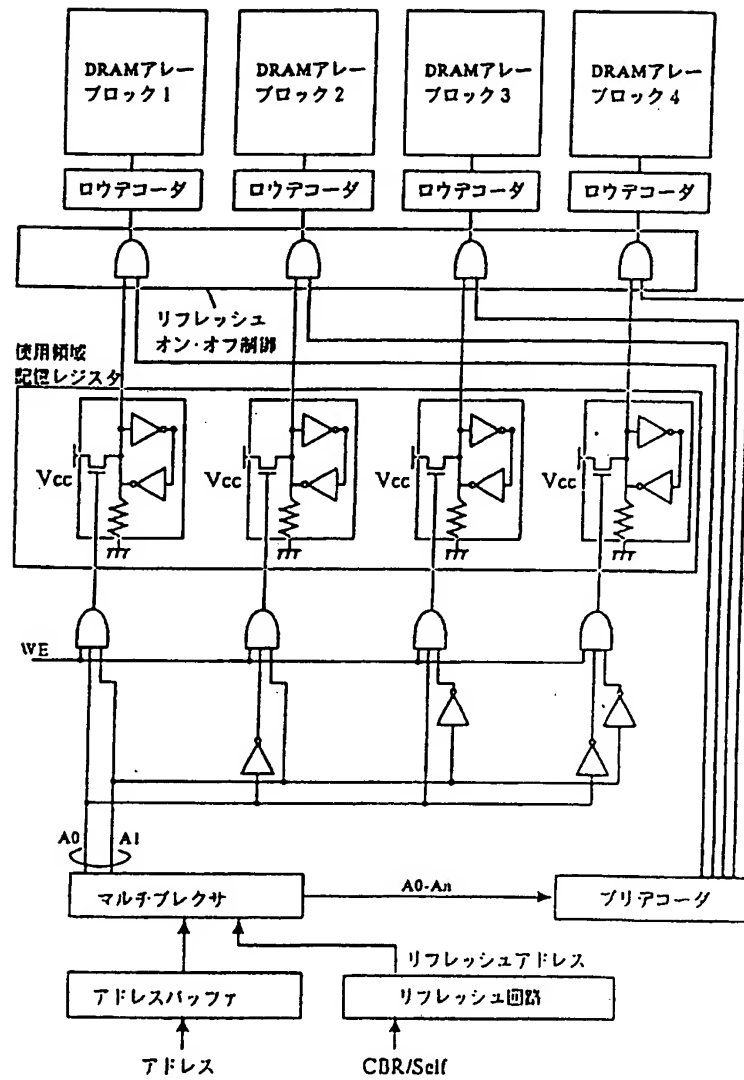
第11図





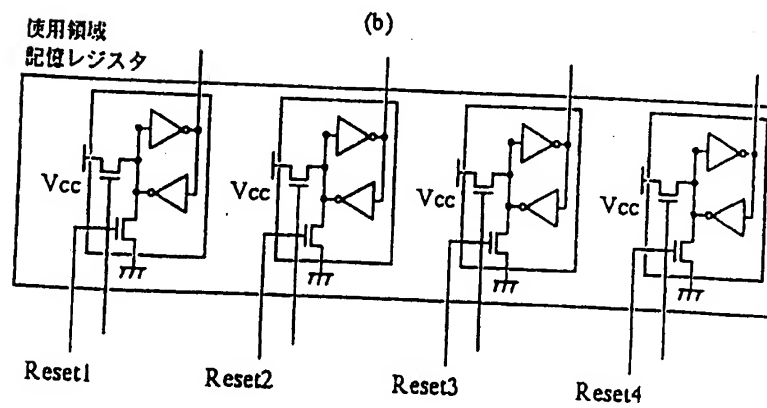
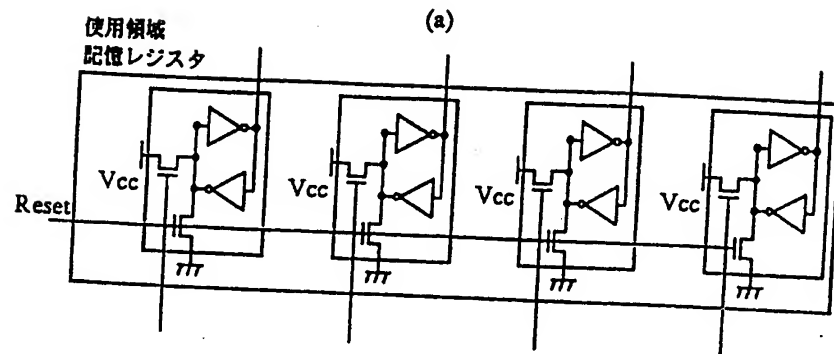
12/16

第12図

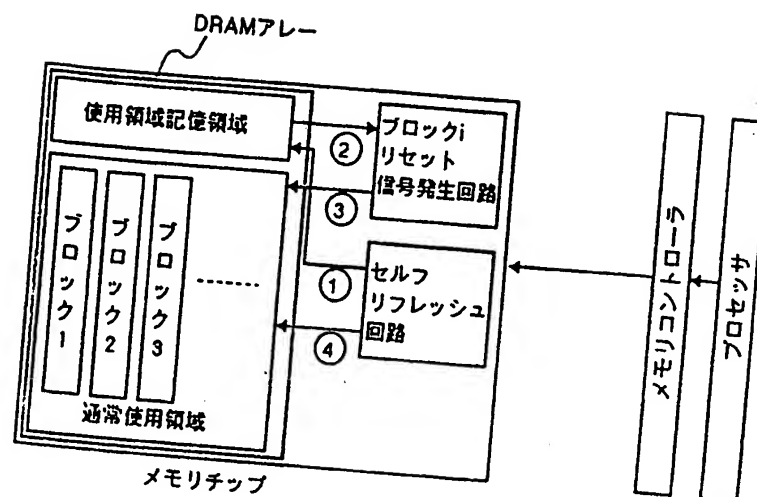


13/16

第 13 図



第14図



HPS Trailer Page  
for

**EAST**

UserID: GLee\_Job\_1\_of\_1  
Printer: cp3\_3b15\_gbglptr

### Summary

Document	Pages	Printed	Missed	Copies
WO009628825	44	44	0	1
Total (1)	44	44	0	-